

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267563

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 27/00

H01L 21/3205

H01L 21/90

H01L 27/12

(21)Application number : 04-092080

(71)Applicant : MITSUBISHI ELECTRIC
CORP

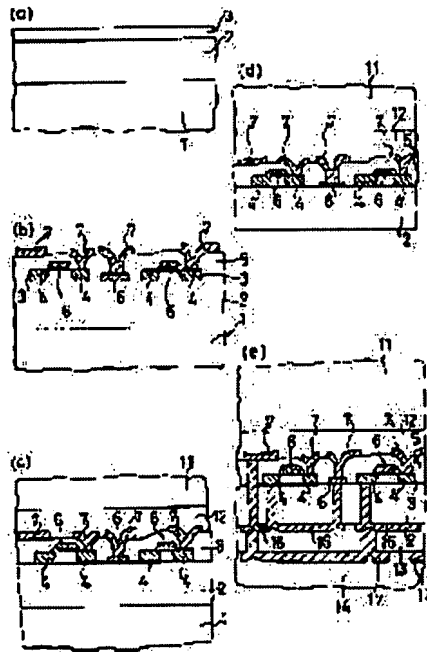
(22)Date of filing :

17.03.1992

(72)Inventor : IPPOSHI TAKASHI

SUGAHARA KAZUYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE



(57)Abstract:

PURPOSE: To improve the degree of freedom in wiring and facilitate the multilayer promotion of wiring by forming patterned wiring layers on the main surface side and the rear side of a semiconductor device.

CONSTITUTION: A device layer 3 is made on the main surface of an SOI substrate by normal process, and then a supporting substrate 11 is stuck to the main surface side, and the substrate 1 on the rear side is removed until the insulator film 2 of the SOI substrate is exposed. Next, a connection hole is made in the insulator film, and wiring layers 16 and 17 are made on the rear. Moreover, also in a stuck

WSI, an electrode can be made in the optional place on the WSI wafer by exposing the insulator film from the rear, using an SOI substrate.

LEGAL STATUS

[Date of request for examination] 09.04.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2948018

[Date of registration] 02.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by having the semiconductor device formed above the support substrate through the insulator layer, and the wiring layer or electrode by which patterning was carried out to the principal plane [of this semiconductor device], and rear-face side.

[Claim 2] It is the semiconductor device characterized by having the 1st and 2nd semi-conductor layers in which the semi-conductor substrate was formed, another side made the principal planes rival while the device was formed in the principal plane and, as for one of these, the insulator layer was formed in the rear face at least, and electric contact was taken mutually, and the wiring layer or electrode formed on the exposure of the above-mentioned insulator layer.

[Claim 3] The process which forms a semiconductor device in the principal plane of the semi-conductor layer formed in the semi-conductor substrate front face through the insulator layer, The process at which the process and the above-mentioned semi-conductor substrate which join a support substrate to the principal plane side of the device concerned through an interlayer insulation film are removed, and the above-mentioned insulator layer is exposed after forming the above-mentioned semiconductor device, The manufacture approach of the semiconductor device characterized by including the process which forms the connection hole for taking electric contact of the above-mentioned semiconductor device in the above-mentioned insulator layer, and the process which forms a wiring layer or an electrode on the exposure of the above-mentioned insulator layer.

[Claim 4] The process at which, as for one of these, another side forms the 1st and 2nd semi-conductor layer in the front face of the 1st and 2nd semi-conductor substrate through an insulator layer at least so that it may contact directly, The process which forms a semiconductor device in the principal plane of the above 1st and the 2nd semi-conductor layer, The process which the semi-conductor principal planes are made for the above 1st and the 2nd semi-conductor substrate to rival, and takes electric contact mutually, The process which removes a semi-conductor substrate until the insulating layer concerned is exposed from the rear-face side of the device formed in the semi-conductor layer formed through the above-mentioned insulator layer, The manufacture approach of the semiconductor device characterized by including the process which forms the connection hole for taking electric contact of the above-mentioned semiconductor device in the insulator layer concerned, and the process which forms a wiring layer or an electrode on the exposure of the

insulator layer concerned.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the thing aiming at amelioration of the formation approach of that electrode and a wiring layer in more detail about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] As a leading technique for realizing a highly informative society, much more densification of a semiconductor integrated circuit and multi-functionalization are called for. In order to fill the demand from a such system side, also in the manufacture process of a semiconductor integrated circuit, amelioration of ultra-fine processing technology is advanced energetically, and examination of a wiring material and amelioration of wiring structure are progressing also in the wiring technique. Moreover, the so-called WSI which forms various circuits on one wafer and constitutes a system (Wafer Scale Integration) The interest is attracted from the point of multi-functionalization.

[0003] On the other hand, with wiring structure, high-speed operation of a device, high-reliability, and multi-functionalization are attained by taking the so-called multilayer-interconnection structure which accumulates a wiring layer up and is multilayered, and in current and a high integration device, if gate wiring is also included, the multilayer interconnection of 4-6 layers is used. Moreover, at WSI, the structure of advancing densification and multi-functionalization further is proposed by making it rival so that electric contact may be taken mutually two WSI devices.

[0004]

[Problem(s) to be Solved by the Invention] By the way, although the device engine performance improves by multilayering of a wiring layer, a device creation process becomes more complicated according to problems, such as increase of surface irregularity, and increase of stress. Moreover, it is also very difficult to advance much more multilayering. On the other hand with the above lamination WSI devices Although it is necessary to arrange and form even wiring and is made to rival for this reason so that the circuit forming face of WSI of two sheets may usually turn to the same direction in order to connect both electrically when it forms so that the circuit forming face of WSI of two sheets may counter mutually When it does in this way, it is drawing 4 (a). The location which finally forms an electrode will be restricted so that it may be

shown, and processing of one of two wafers WSI1 and WSI2 making the path small so that an electrode 30 can be formed in the wafer of another side is needed. Moreover, drawing 4 (b) Although densification and multi-functionalization are attained by making two or more chips C1-C4 rival on one wafer WSI 1, it is drawing 4 (a). The location which finally forms an electrode will be restricted similarly.

[0005] This invention was made in order to cancel the trouble of the above conventional things, its degree of freedom of wiring is large, the limit of the location which forms an electrode of it is lost, and it aims at offering the semiconductor device which can attain multilayering easily, and its manufacture approach.

[0006]

[Means for Solving the Problem] The semiconductor device concerning this invention creates a device in the semi-conductor layer formed on the insulator layer, and forms a wiring layer or an electrode in a principal plane [of a device], and rear-face side.

[0007] Moreover, the semiconductor device concerning this invention creates a device to the principal plane of two semi-conductor layers, an insulator layer is formed in the rear face of the semi-conductor layer of one of these at least, and another side forms a semi-conductor substrate, and it forms a wiring layer or an electrode on the exposure of an insulator layer while it makes the principal planes of two semi-conductor layers rival and takes electric contact mutually.

[0008] Moreover, the manufacture approach of the semiconductor device concerning this invention A semiconductor device is formed in the principal plane of the semi-conductor layer formed in the semi-conductor substrate front face through the insulator layer. After forming the above-mentioned semiconductor device, a support substrate is joined to the principal plane side of the device concerned through an interlayer insulation film. The above-mentioned semi-conductor substrate is removed, the above-mentioned insulator layer is exposed, and after forming the connection hole for taking electric contact of the above-mentioned semiconductor device in the above-mentioned insulator layer, a wiring layer or an electrode is formed on the exposure of the above-mentioned insulator layer.

[0009] Furthermore, the manufacture approach of the semiconductor device concerning this invention At least, through an insulator layer, as for one of these, another side forms the 1st and 2nd semi-conductor layer in the front face of the 1st and 2nd semi-conductor substrate so that it may contact directly. A semiconductor device is formed in the principal plane of the above 1st and the 2nd semi-conductor layer. The above 1st and the 2nd semi-conductor substrate Make the semi-conductor principal planes rival, and take electric contact mutually, and a semi-conductor substrate is removed until the insulating layer concerned is exposed from the

rear-face side of the device formed in the semi-conductor layer formed through the above-mentioned insulator layer. After forming the connection hole for taking electric contact of the above-mentioned semiconductor device in the insulator layer concerned, a wiring layer or an electrode is formed on the exposure of the insulator layer concerned.

[0010]

[Function] In the semiconductor device in this invention, since a device is created in the semi-conductor layer formed on the insulator layer and the wiring layer or the electrode was formed in the principal plane [of a device], and rear-face side, wiring or an electrode can be formed in both the front face of a semiconductor device, and a rear face, the degree of freedom of wiring becomes large, and multilayering can be attained easily.

[0011] Moreover, it sets to the semiconductor device concerning this invention. While create a device to the principal plane of two semi-conductor layers, forming an insulator layer in the rear face of the semi-conductor layer of one of these at least, and another side's forming a semi-conductor substrate, making the principal planes of two semi-conductor layers rival and taking electric contact mutually Since the wiring layer or the electrode was formed on the exposure of an insulator layer, the degree of freedom of wiring in the case of making the principal planes of two semi-conductor layers rival becomes large, and a limit of the location which forms an electrode can be lost.

[0012] Moreover, it sets to the manufacture approach of the semiconductor device concerning this invention. A semiconductor device is formed in the principal plane of the semi-conductor layer formed in the semi-conductor substrate front face through the insulator layer. After forming the above-mentioned semiconductor device, a support substrate is joined to the principal plane side of the device concerned through an interlayer insulation film. Since the wiring layer or the electrode was formed on the exposure of the above-mentioned insulator layer after forming the connection hole for removing the above-mentioned semi-conductor substrate, exposing the above-mentioned insulator layer, and taking electric contact of the above-mentioned semiconductor device in the above-mentioned insulator layer Wiring or an electrode can be formed in both the front face of a semiconductor device, and a rear face, the degree of freedom of wiring becomes large, and the equipment which can attain multilayering easily can actually be obtained.

[0013] Furthermore, it sets to the manufacture approach of the semiconductor device concerning this invention. At least, through an insulator layer, as for one of these, another side forms the 1st and 2nd semi-conductor layer in the front face of the 1st

and 2nd semi-conductor substrate so that it may contact directly. A semiconductor device is formed in the principal plane of the above 1st and the 2nd semi-conductor layer. The above 1st and the 2nd semi-conductor substrate Make the semi-conductor principal planes rival, and take electric contact mutually, and a semi-conductor substrate is removed until the insulating layer concerned is exposed from the rear-face side of the device formed in the semi-conductor layer formed through the above-mentioned insulator layer. Since the wiring layer or the electrode was formed on the exposure of the insulator layer concerned after forming the connection hole for taking electric contact of the above-mentioned semiconductor device in the insulator layer concerned The degree of freedom of wiring in the case of making the principal planes of two semi-conductor layers rival becomes large, and the equipment which can lose a limit of the location which forms an electrode can actually be obtained.

[0014]

[Example] One or less example and one example of this invention are explained based on a process sectional view. Drawing 1 (a) It is the so-called SOI substrate with which the semi-conductor substrate with which the semiconductor device by one example of this invention is formed is explained, and the semi-conductor layer 3 was formed through the insulator layer 2 on the semi-conductor substrate 1. Although it is not based on the process but the same effectiveness can be expected in this example if it is a SOI substrate, it is SIMOX (Separation by Implanted Oxygen) as a SOI substrate here. A wafer is taken for an example. For example, on the silicon substrate 1 formed by the thickness of 0.5mm, this SIMOX wafer is the thickness whose insulator layer (diacid-ized silicon) 2 is about 0.5 micrometers, and is formed on it, respectively by the thickness whose silicon single crystal film 3 is about 0.1 micrometers.

[0015] Drawing 1 (b) Drawing 1 (a) Signs that the device was formed are shown in the silicon single crystal film 3. This drawing 1 (b) It sets and 4 is formed by the thickness which is the impurity layer by which Lynn, arsenic, boron, etc. were doped, for example, is about 1000-3000A. 5 is an interlayer insulation film and is formed here by the thickness whose oxide film by the CVD method is about 2000-3000A. 6 and 7 are wiring and are formed by the thickness of about 3000A of polish recon here.

[0016] Next, drawing 1 (c) After forming an insulator layer (BPSG) 12 with an ordinary pressure CVD method etc. on the surface of a device and carrying out flattening of the front face so that it may be shown, the support substrate (a silicon wafer or glass substrate) 11 of about 0.5mm thickness is stuck. Although polish and heat treatment perform flattening of an insulator layer and heat treatment in the case of flattening and heat treatment coincidence or after polish perform attachment, it is necessary to take care that attachment of a support substrate does not spoil the property of the

device already formed here. That is, when the wiring layer of a device is formed with the compound of polish recon, a refractory metal or silicon, and a refractory metal, if it is in the processing temperature of the usual device process, there will be especially no problem. However, processing temperature cannot be made high when metals, such as aluminum, are used for wiring. Since the eutectic point with silicon is about 600 degrees C, it must stop for example, having to process at temperature lower than it in the case of aluminum.

[0017] Although this example shows the approach of stick which used the reflow of BPSG12 as an insulator layer, after depositing polish recon on both sides of other insulator layers and making this flat by polish, how to stick on a support substrate etc. is considered. Moreover, when metal wiring of aluminum etc. is used, pasting up with resin, such as polyimide, is also considered. Thus, drawing 1 after sticking a support substrate (d) A silicon substrate 1 is removed like and the insulator layer 2 is exposed. What is necessary is just to perform removal of a silicon substrate 1 using polish or a chemical treatment. Thus, if the insulator layer 2 is exposed, it will be drawing 1 (e). Interlayer insulation films 13 and 14 can be formed in the thickness of 3000-4000Å like with a CVD oxide film or the BPSG film by the ordinary pressure CVD method, and wiring layers 16 and 17 can be easily formed in a rear-face side. Then, since the alignment mark used when forming a device layer penetrates the insulator layer (glass) 2, it is visible from that rear face, in case the connection hole for taking electric contact to a device layer (a wiring layer being included) in the insulator layer 2 is formed and alignment can be performed using ***** , pattern doubling precision is also high. Moreover, since it is flat, higher order multilayering is possible for a rear-face side using the usual process.

[0018] When MOSFET is formed in example 2SOI, there is a problem that a kink occurs in a current characteristic according to the substrate suspension effectiveness, or pressure-proofing becomes low. What is necessary is just to ground the substrate section to solve this. As shown in drawing 2 , this removes a silicon substrate 1, exposes the insulator layer 2, carries out opening of the necessary part of the insulator layer 2, i.e., the part equivalent to the silicon single crystal layer 3, forms wiring 16, and can realize this easily by connecting with predetermined potential. Moreover, after using adhesives for attachment of the support substrate at the time of removing a substrate on the back and performing backwiring, another support substrate is stuck on a rear-face side, and the process flow of removing the support substrate by the side of a front face is also considered.

[0019] Thus, according to the above-mentioned examples 1 and 2, the wiring layer by which patterning was carried out can be formed in both sides by the side of the

principal plane of a semiconductor device, and a rear face, and improvement and multilayering of the degree of freedom of wiring can attain easily.

[0020] The electrode formation approach of WSI by example 3 this example is explained. Drawing 3 (a) WSI of two sheets before making it rival is shown. Although various kinds of circuits are formed in each A wafer and B wafer and the wiring layer is also formed, only the bump 20 on a wafer is shown here. In addition, it cannot be overemphasized that this bump is connected to wiring of each circuit. A wafer is what was formed in the SOI substrate, and forms B wafer in usual bulk silicon. Each wafer forms the bump 20 so that electric contact can be taken to each other at the time of lamination. This bump 20 is drawing 3 (b) after forming what is formed in one [at least] near wafer with low-melt point point metals, such as an indium and solder, carrying out alignment of A wafer and the B wafer with an infrared photographic filter, heat-treating this and making it rival. It removes until the insulator film exposes the silicon substrate by the side of the rear face of A wafer like. Next, drawing 3 (c) Opening of the contact hole is carried out to the insulator film like, and the polar zone 30 is formed. It is drawing 3 (d) about this, in view of an electrode forming face. An electrode can be formed in the location of the arbitration on a wafer like, and the degree of freedom of electrode formation improves sharply. Although bulk silicon was used as a B wafer in this example, this produces no problem also with a SOI substrate. Conversely, it is also possible to raise the degree of freedom of wiring by using B wafer as a SOI substrate further. Moreover, although the above explanation explained the example in a wafer scale, it cannot be overemphasized that this is applicable also about the thing which made two sheets rival on chip level.

[0021] Thus, since according to the above-mentioned example 3 a wafer can form an electrode in the location of the arbitration on a wafer after making it rival, it is effective in various functions and the WSI device of high accumulation being easily realizable.

[0022]

[Effect of the Invention] Since according to the semiconductor device concerning this invention a device is created in the semi-conductor layer formed on the insulator layer and the wiring layer or the electrode was formed in the principal plane [of a device], and rear-face side, wiring or an electrode can be formed in both the front face of a semiconductor device, and a rear face, the degree of freedom of wiring becomes large, and multilayering can be attained easily.

[0023] Moreover, it sets to the semiconductor device concerning this invention. While create a device to the principal plane of two semi-conductor layers, forming an insulator layer in the rear face of the semi-conductor layer of one of these at least,

and another side's forming a semi-conductor substrate, making the principal planes of two semi-conductor layers rival and taking electric contact mutually Since the wiring layer or the electrode was formed on the exposure of an insulator layer, the degree of freedom of wiring in the case of making the principal planes of two semi-conductor layers rival becomes large, and a limit of the location which forms an electrode can be lost.

[0024] Moreover, it sets to the manufacture approach of the semiconductor device concerning this invention. A semiconductor device is formed in the principal plane of the semi-conductor layer formed in the semi-conductor substrate front face through the insulator layer. After forming the above-mentioned semiconductor device, a support substrate is joined to the principal plane side of the device concerned through an interlayer insulation film. Since the wiring layer or the electrode was formed on the exposure of the above-mentioned insulator layer after forming the connection hole for removing the above-mentioned semi-conductor substrate, exposing the above-mentioned insulator layer, and taking electric contact of the above-mentioned semiconductor device in the above-mentioned insulator layer Wiring or an electrode can be formed in both the front face of a semiconductor device, and a rear face, the degree of freedom of wiring becomes large and the equipment which can attain multilayering easily can actually be obtained.

[0025] Furthermore, it sets to the manufacture approach of the semiconductor device concerning this invention. At least, through an insulator layer, as for one of these, another side forms the 1st and 2nd semi-conductor layer in the front face of the 1st and 2nd semi-conductor substrate so that it may contact directly. A semiconductor device is formed in the principal plane of the above 1st and the 2nd semi-conductor layer. The above 1st and the 2nd semi-conductor substrate Make the semi-conductor principal planes rival, and take electric contact mutually, and a semi-conductor substrate is removed until the insulating layer concerned is exposed from the rear-face side of the device formed in the semi-conductor layer formed through the above-mentioned insulator layer. Since the wiring layer or the electrode was formed on the exposure of the insulator layer concerned after forming the connection hole for taking electric contact of the above-mentioned semiconductor device in the insulator layer concerned The degree of freedom of wiring in the case of making the principal planes of two semi-conductor layers rival becomes large, and the equipment which can lose a limit of the location which forms an electrode can actually be obtained.

[Brief Description of the Drawings]

[Drawing 1] It is a process sectional view by one example of this invention.

[Drawing 2] It is drawing showing other examples of this invention.

[Drawing 3] It is drawing showing the semiconductor device by other examples of this invention.

[Drawing 4] It is drawing showing the semiconductor device of the conventional example.

[Description of Notations]

- 1 Silicon Substrate
- 2 Insulator Film (Diacid-ized Silicon)
- 3 Silicon Single Crystal Film
- 3' Device equipment
- 4 Impurity Layer
- 5 Interlayer Insulation Film
- 6 Wiring 1
- 7 Wiring 2
- 11 Support Substrate
- 12 BPSG
- 13 Interlayer Insulation Film 2
- 14 Interlayer Insulation Film 3
- 16 Wiring 3
- 17 Wiring 4
- 20 Bump
- 30 Electrode

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-267563

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/00	3 0 1 B	8418-4M		
21/3205				
21/90	B	7735-4M		
27/00	3 0 1 W	8418-4M		
		7735-4M		
			H 0 1 L 21/ 88	Z

審査請求 未請求 請求項の数4(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-92080

(22)出願日 平成4年(1992)3月17日

(71)出願人 000006013

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 一法師 隆志

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(72)発明者 須賀原 和之

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

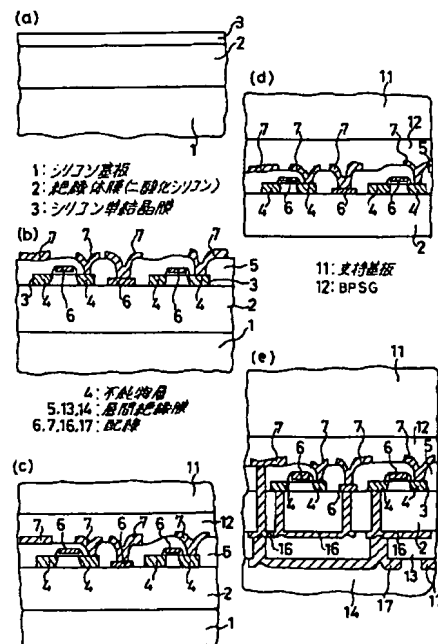
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 半導体デバイスの主面側と裏面側にパターンニングされた配線層を形成することにより配線の自由度の向上を図り、配線の多層化を容易にする。

【構成】 SOI基板の主面上に通常プロセスによりデバイス層3を形成し、その後支持基板11を主面側に張りつけ、SOI基板の絶縁体膜2が露出するまで裏面側の基板1を除去する。次に絶縁体膜に接続孔を形成し、配線層16、17を裏面に形成する。また張りつけWSIにおいてもSOI基板を用いて、裏面から絶縁体膜を露出させればWSIウエハ上の任意の場所に電極を形成できる。



【特許請求の範囲】

【請求項1】 支持基板の上方に絶縁膜を介して形成された半導体デバイスと、
この半導体デバイスの主面側と裏面側にパターンニングされた配線層もしくは電極とを備えたことを特徴とする半導体装置。

【請求項2】 その主面にデバイスが形成され、少なくともその一方は裏面に絶縁膜が形成されるとともに他方は半導体基板が形成され、その主面同士を張り合わせて相互に電気的接触が取られた第1および第2の半導体層と、
上記絶縁膜の露出面上に形成された配線層もしくは電極とを備えたことを特徴とする半導体装置。

【請求項3】 半導体基板表面に絶縁膜を介して形成された半導体層の主面に半導体デバイスを形成する工程と、

上記半導体デバイスを形成した後、当該デバイスの主面側に層間絶縁膜を介して支持基板を接合する工程と上記半導体基板を除去して上記絶縁膜を露出させる工程と、
上記半導体デバイスの電気的接触を取るための接続孔を上記絶縁膜に形成する工程と、
上記絶縁膜の露出面上に配線層もしくは電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 第1、第2の半導体基板の表面に、少なくともその一方は絶縁膜を介し他方は直接接触するように第1、第2の半導体層を形成する工程と、
上記第1、第2の半導体層の主面に半導体デバイスを形成する工程と、

上記第1、第2の半導体基板を、その半導体主面同士を張り合わせて相互に電気的接触を取る工程と、
上記絶縁膜を介して形成された半導体層に形成されたデバイスの裏面側から当該絶縁層が露出するまで半導体基板を除去する工程と、
上記半導体デバイスの電気的接触を取るための接続孔を当該絶縁膜に形成する工程と、
当該絶縁膜の露出面上に配線層もしくは電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置およびその製造方法に関し、より詳しくはその電極及び配線層の形成方法の改良を図ったものに関するものである。

【0002】

【従来の技術】 高度情報化社会を実現するための有力な技術として、半導体集積回路のより一層の高密度化、多機能化が求められている。このようなシステム側からの要求を満たすために、半導体集積回路の製造プロセスにおいても、微細加工技術の改良が精力的に進められており、配線技術においても配線材料の検討や配線構造の改良が進んでいる。また種々の回路を1枚のウエハ上に形

成してシステムを構成する、いわゆるWSI (Wafer Scale Integration) も多機能化の点から関心を集めている。

【0003】 一方、配線構造では配線層を上方に積み重ねて多層化する、いわゆる多層配線構造を採ることで、デバイス的高速動作、高信頼性及び多機能化を図っており、現在、高集積化デバイスではゲート配線も含めると4～6層の多層配線が用いられている。また、WSIではWSIデバイス2枚を互いに電気的接触をとるように張り合わせることで、さらに高密度化、多機能化を進める構造が提案されている。

【0004】

【発明が解決しようとする課題】 ところで、配線層の多層化によりデバイス性能は向上するが、表面凹凸の増大やストレスの増大などの問題により、デバイス作成プロセスはより複雑になる。また、より一層の多層化を進めることも非常に難しい。一方、上記のような張り合わせWSIデバイスでは、2枚のWSIの回路形成面が互いに対向するように形成すると、両者を電気的に接続するために配線までを揃えて形成する必要があり、このため、通常は、2枚のWSIの回路形成面が同一方向を向くように張り合わせるが、このようにすると、図4(a)に示すように最終的に電極を形成する場所が限られてしまい、2枚のウエハWSI1、WSI2のうち1枚は他方のウエハに電極30が形成できるようにその径を小さくする等の加工が必要となる。また、図4(b)は1枚のウエハWSI1の上に複数のチップC1～C4を張り合わせることで、高密度化、多機能化を図ったものであるが、図4(a)と同様に、最終的に電極を形成する場所が限られてしまう。

【0005】 この発明は、上記のような従来のものの問題点を解消するためになされたもので、配線の自由度が大きく、電極を形成する場所の制限がなくなり、かつ容易に多層化を図れる半導体装置およびその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 この発明に係る半導体装置は、絶縁膜上に形成された半導体層にデバイスを作成し、配線層もしくは電極をデバイスの主面側及び裏面側に形成するようにしたものである。

【0007】 また、この発明に係る半導体装置は、2つの半導体層の主面にデバイスを作成し、少なくともその一方の半導体層の裏面に絶縁膜を形成し、他方は半導体基板を形成し、2つの半導体層の主面同士を張り合わせて相互に電気的接触を取るとともに、絶縁膜の露出面上に配線層もしくは電極を形成するようにしたものである。

【0008】 また、この発明に係る半導体装置の製造方法は、半導体基板表面に絶縁膜を介して形成された半導体層の主面に半導体デバイスを形成し、上記半導体デバ

イスを形成した後、当該デバイスの主面側に層間絶縁膜を介して支持基板を接合し、上記半導体基板を除去して上記絶縁膜を露出させ、上記半導体デバイスの電氣的接触を取るための接続孔を上記絶縁膜に形成した後、上記絶縁膜の露出面上に配線層もしくは電極を形成するようにしたものである。

【0009】さらに、この発明に係る半導体装置の製造方法は、第1、第2の半導体基板の表面に、少なくともその一方は絶縁膜を介し他方は直接接触するように第1、第2の半導体層を形成し、上記第1、第2の半導体層の主面に半導体デバイスを形成し、上記第1、第2の半導体基板を、その半導体主面同士を張り合わせて相互に電氣的接触を取り、上記絶縁膜を介して形成された半導体層に形成されたデバイスの裏面側から当該絶縁層が露出するまで半導体基板を除去し、上記半導体デバイスの電氣的接触を取るための接続孔を当該絶縁膜に形成した後、当該絶縁膜の露出面上に配線層もしくは電極を形成するようにしたものである。

【0010】

【作用】この発明における半導体装置においては、絶縁膜上に形成された半導体層にデバイスを作成し、配線層もしくは電極をデバイスの主面側及び裏面側に形成するようにしたので、半導体デバイスの表面および裏面の両方に配線または電極を形成することができ、配線の自由度が大きくなり、容易に多層化を達成できる。

【0011】また、この発明に係る半導体装置においては、2つの半導体層の主面にデバイスを作成し、少なくともその一方の半導体層の裏面に絶縁膜を形成し、他方は半導体基板を形成し、2つの半導体層の主面同士を張り合わせて相互に電氣的接触を取るとともに、絶縁膜の露出面上に配線層もしくは電極を形成するようにしたので、2つの半導体層の主面同士を張り合わせる場合の配線の自由度が大きくなり、電極を形成する場所の制限をなくすることができる。

【0012】また、この発明に係る半導体装置の製造方法においては、半導体基板表面に絶縁膜を介して形成された半導体層の主面に半導体デバイスを形成し、上記半導体デバイスを形成した後、当該デバイスの主面側に層間絶縁膜を介して支持基板を接合し、上記半導体基板を除去して上記絶縁膜を露出させ、上記半導体デバイスの電氣的接触を取るための接続孔を上記絶縁膜に形成した後、上記絶縁膜の露出面上に配線層もしくは電極を形成するようにしたので、半導体デバイスの表面および裏面の両方に配線または電極を形成することができ、配線の自由度が大きくなり、容易に多層化を達成できる装置を実際に得ることができる。

【0013】さらに、この発明に係る半導体装置の製造方法においては、第1、第2の半導体基板の表面に、少なくともその一方は絶縁膜を介し他方は直接接触するように第1、第2の半導体層を形成し、上記第1、第2の

半導体層の主面に半導体デバイスを形成し、上記第1、第2の半導体基板を、その半導体主面同士を張り合わせて相互に電氣的接触を取り、上記絶縁膜を介して形成された半導体層に形成されたデバイスの裏面側から当該絶縁層が露出するまで半導体基板を除去し、上記半導体デバイスの電氣的接触を取るための接続孔を当該絶縁膜に形成した後、当該絶縁膜の露出面上に配線層もしくは電極を形成するようにしたので、2つの半導体層の主面同士を張り合わせる場合の配線の自由度が大きくなり、電極を形成する場所の制限をなくすることができる装置を実際に得ることができる。

【0014】

【実施例】実施例1

以下、この発明の一実施例を工程断面図に基づいて説明する。図1(a)は本発明の一実施例による半導体装置が形成される半導体基板を説明するもので、半導体基板1上に絶縁体層2を介して半導体層3が形成された、いわゆるSOI基板である。本実施例においては、SOI基板であればその製法によらず同様な効果が期待できるが、ここではSOI基板としてSIMOX (Separation by Implanted Oxygen) ウエハを例に取る。このSIMOXウエハは例えば0.5mmの厚さで形成されたシリコン基板1上に絶縁体層2(二酸化シリコン)が約0.5μmの厚さで、その上にシリコン単結晶膜3が約0.1μmの厚さでそれぞれ形成されている。

【0015】図1(b)は図1(a)のシリコン単結晶膜3にデバイスを形成した様子を示している。この図1(b)において、4はリン、砒素、ボロン等がドーパされた不純物層であり、例えば1000~3000オングストローム程度の厚さで形成されている。5は層間絶縁膜であり、ここではCVD法による酸化膜が例えば2000~3000オングストローム程度の厚さで形成されている。6、7は配線で、ここではポリシリコンにより約3000オングストローム程度の厚さで形成されている。

【0016】次に、図1(c)に示すように、デバイスの表面に常圧CVD法等により絶縁膜(BPSG)12を形成し、その表面を平坦化した後、約0.5mm厚の支持基板(シリコンウエハあるいはガラス基板)11を張り付ける。絶縁膜の平坦化は研磨や熱処理により行ない、張り付けは平坦化の際の熱処理と同時に、あるいは研磨の後の熱処理により行なうが、ここで支持基板の張り付けは既に形成しているデバイスの特性を損ねないように注意する必要がある。即ち、デバイスの配線層がポリシリコンや高融点金属、あるいはシリコンと高融点金属の化合物で形成されている場合には、通常のデバイスプロセスの処理温度内であれば特に問題はない。しかし、配線にアルミ等の金属を用いた場合には処理温度を高くできない。例えば、アルミの場合はシリコンとの共晶点が約600℃であるため、それより低い温度で処理しなければならない。

【0017】本実施例では絶縁膜として、BPSG12のリフローを用いた張りつけ方法を示しているが、この他の絶縁膜をはさんでポリシリコンを堆積しこれを研磨で平坦にした後、支持基板に張りつける方法なども考えられる。またアルミ等の金属配線を用いている場合には、ポリイミドなどの樹脂により接着することも考えられる。このように支持基板を張りつけた後、図1(d)のようにシリコン基板1を除去して絶縁体層2を露出させる。シリコン基板1の除去は研磨や化学処理を用いて行えばよい。このように絶縁体層2が露出されれば、図1(e)のようにCVD酸化膜や常圧CVD法によるBPSG膜により層間絶縁膜13、14を3000~4000オングストロームの厚さに形成して容易に裏面側に配線層16、17を形成することができる。この後、絶縁体層2にデバイス層(配線層を含む)へ電気的接触を取るための接続孔を形成する際に、デバイス層を形成するときに使用した位置合わせマークが絶縁体層(ガラス)2を透過してその裏面から見えるため、これを用いて位置合わせを行なうことができるため、パターン合わせ精度も高い。また裏面側は平坦であるため、通常のプロセスを用いてより高次の多層化が可能である。

【0018】実施例2

SOIにMOSFETを形成した場合、基板浮遊効果により電流特性にキックが発生したり耐圧が低くなるという問題がある。これを解決するには基板部を接地すればよい。これは図2に示すようにシリコン基板1を除去して絶縁体層2を露出させ、絶縁体層2の所要箇所、即ちシリコン単結晶層3に相当する箇所を開口して配線16を形成し、これを所定の電位に接続することにより容易に実現できる。また、裏面の基板を除去する際の支持基板の張りつけに接着剤を用い、裏面配線を行った後、別の支持基板を裏面側に張りつけ表面側の支持基板を除去するというプロセスフローも考えられる。

【0019】このように、上記実施例1、2によれば、半導体デバイスの主面側と裏面側の両面にパターンニングされた配線層を形成することができ、配線の自由度の向上や多層化が容易に達成できる。

【0020】実施例3

本実施例によるWSIの電極形成方法を説明する。図3(a)は張り合わせる前の2枚のWSIを示している。それぞれのAウエハ、Bウエハには各種の回路が形成されており、また配線層も形成されているが、ここではウエハ上のパンプ20だけを示している。なおこのパンプがそれぞれの回路の配線に接続されていることはいうまでもない。AウエハはSOI基板に形成したもので、Bウエハは通常バルクシリコンに形成したものである。それぞれのウエハは張り合わせ時お互いに電気的接触が取れるようにパンプ20を形成している。このパンプ20は少なくとも一方の側のウエハに形成されるものをインジウムや半田等の低融点金属で形成しておき、Aウエ

ハ、Bウエハを赤外線露光器により位置合わせし、これを熱処理して張り合わせた後、図3(b)のようにAウエハの裏面側のシリコン基板を絶縁体膜が露出するまで除去する。次に図3(c)のように絶縁体膜にコンタクトホールを開口し、電極部30を形成する。これを電極形成面からみると、図3(d)のようにウエハ上の任意の場所に電極を形成でき、電極形成の自由度が大幅に向上する。本実施例ではBウエハとしてバルクシリコンを用いたが、これがSOI基板でもなんの問題も生じない。逆にBウエハをSOI基板にすることで、配線の自由度をさらに上げることも可能である。また以上の説明では、ウエハスケールでの実施例を説明したが、これはチップレベルで2枚を張り合わせたものについても適用できることは言うまでもない。

【0021】このように、上記実施例3によれば、ウエハは張り合わせた後からウエハ上の任意の場所に電極を形成することができるので、多機能、高集積のWSIデバイスを容易に実現できる効果がある。

【0022】

【発明の効果】この発明に係る半導体装置によれば、絶縁膜上に形成された半導体層にデバイスを作成し、配線層もしくは電極をデバイスの主面側及び裏面側に形成するようにしたので、半導体デバイスの表面および裏面の両方に配線または電極を形成することができ、配線の自由度が大きくなり、容易に多層化を達成できる。

【0023】また、この発明に係る半導体装置においては、2つの半導体層の主面にデバイスを作成し、少なくともその一方の半導体層の裏面に絶縁膜を形成し、他方は半導体基板を形成し、2つの半導体層の主面同士を張り合わせて相互に電気的接触を取るとともに、絶縁膜の露出面上に配線層もしくは電極を形成するようにしたので、2つの半導体層の主面同士を張り合わせる場合の配線の自由度が大きくなり、電極を形成する場所の制限をなくすることができる。

【0024】また、この発明に係る半導体装置の製造方法においては、半導体基板表面に絶縁膜を介して形成された半導体層の主面に半導体デバイスを形成し、上記半導体デバイスを形成した後、当該デバイスの主面側に層間絶縁膜を介して支持基板を接合し、上記半導体基板を除去して上記絶縁膜を露出させ、上記半導体デバイスの電気的接触を取るための接続孔を上記絶縁膜に形成した後、上記絶縁膜の露出面上に配線層もしくは電極を形成するようにしたので、半導体デバイスの表面および裏面の両方に配線または電極を形成することができ、配線の自由度が大きくなり容易に多層化を達成できる装置を実際に得ることができる。

【0025】さらに、この発明に係る半導体装置の製造方法においては、第1、第2の半導体基板の表面に、少なくともその一方は絶縁膜を介し他方は直接接触するように第1、第2の半導体層を形成し、上記第1、第2の

半導体層の主面に半導体デバイスを形成し、上記第1、第2の半導体基板を、その半導体主面同士を張り合わせて相互に電気的接触を取り、上記絶縁膜を介して形成された半導体層に形成されたデバイスの裏面側から当該絶縁層が露出するまで半導体基板を除去し、上記半導体デバイスの電気的接触を取るための接続孔を当該絶縁膜に形成した後、当該絶縁膜の露出面上に配線層もしくは電極を形成するようにしたので、2つの半導体層の主面同士を張り合わせる場合の配線の自由度が大きくなり、電極を形成する場所の制限をなくすることができる装置を実

【図面の簡単な説明】

【図1】本発明の一実施例による工程断面図である。

【図2】本発明の他の実施例を示す図である。

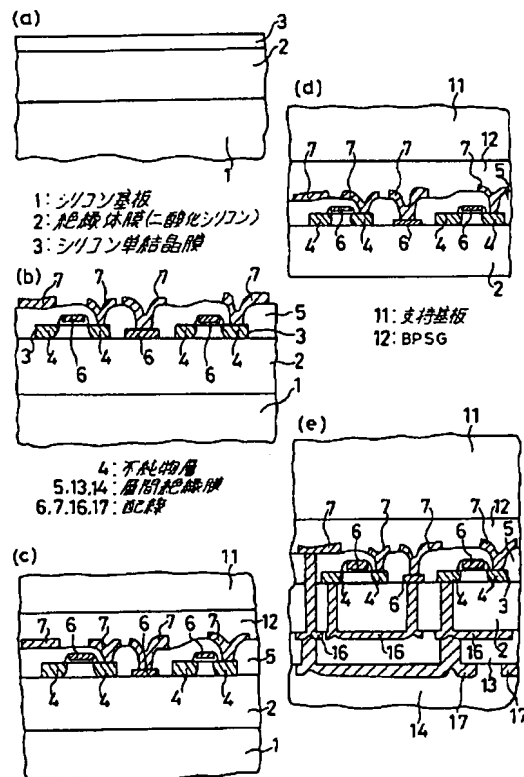
【図3】本発明の他の実施例による半導体装置を示す図である。

【図4】従来例の半導体装置を示す図である。

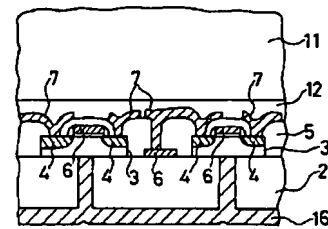
【符号の説明】

- 1 シリコン基板
- 2 絶縁体膜（二酸化シリコン）
- 3 シリコン単結晶膜
- 3' デバイス装置
- 4 不純物層
- 5 層間絶縁膜
- 6 配線1
- 7 配線2
- 11 支持基板
- 12 BPSG
- 13 層間絶縁膜2
- 14 層間絶縁膜3
- 16 配線3
- 17 配線4
- 20 パンプ
- 30 電極

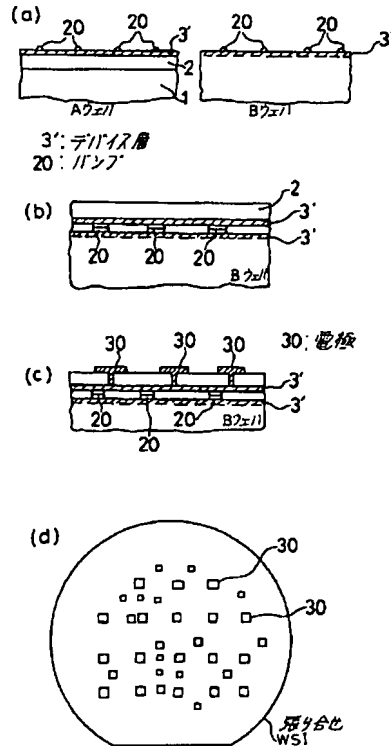
【図1】



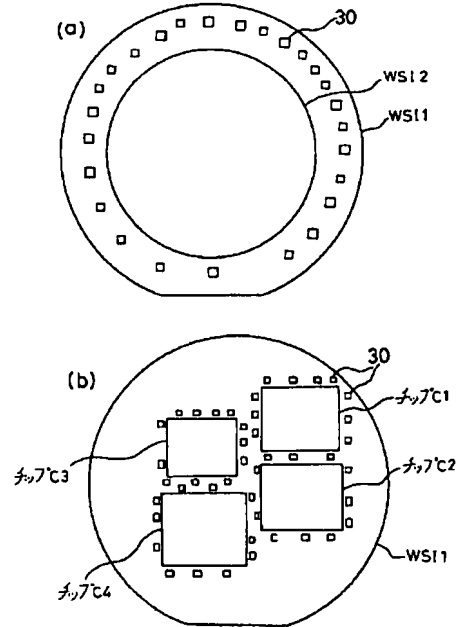
【図2】



【図 3】



【図 4】



【手続補正書】

【提出日】平成 4 年 8 月 28 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】本実施例では絶縁膜として、BPSG12 のリフローを用いた張りつけ方法を示しているが、この他の絶縁膜をはさんでポリシリコンを堆積しこれを研磨で平坦にした後、支持基板に張りつける方法なども考えられる。またアルミ等の金属配線を用いている場合には、ポリイミドなどの樹脂により接着することも考えられる。このように支持基板を張りつけた後、図 1 (d) のようにシリコン基板 1 を除去して絶縁体層 2 を露出させる。シリコン基板 1 の除去は研磨や化学処理を用いて行えばよい。このように絶縁体層 2 が露出されれば、図 1 (e) のように CVD 酸化膜や常圧 CVD 法による BPSG 膜により層間絶縁膜 13, 14 を 3000~4000 オングストロームの厚さに形成して容易に裏面側に配線層 16, 17 を形成することができる。絶縁体層 2 にデバイス層（配線層を含む）へ電気的接触を取るための接

続孔を形成する際に、デバイス層を形成するとき使用した位置合わせマークが絶縁体層（ガラス）2 を透過してその裏面から見えるため、これを用いて位置合わせを行なうことができるため、パターン合わせ精度も高い。また裏面側は平坦であるため、通常のプロセスを用いてより高次の多層化が可能である。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】実施例 3

本実施例による WSI の電極形成方法を説明する。図 3 (a) は張り合わせる前の 2 枚の WSI を示している。それぞれの A ウエハ、B ウエハには各種の回路が形成されており、また配線層も形成されているが、ここではウエハ上のパンプ 20 だけを示している。なおこのパンプがそれぞれの回路の配線に接続されていることはいうまでもない。A ウエハは SOI 基板に形成したもので、B ウエハは通常のパルクシリコンに形成したものである。それぞれのウエハは張り合わせ時にお互いに電気的接触が

取れるようにパンプ20を形成している。このパンプ20は少なくとも一方の側のウエハに形成されるものをインジウムや半田等の低融点金属で形成しておき、Aウエハ、Bウエハを赤外線露光器により位置合わせし、これを熱処理して張り合わせた後、図3(b)のようにAウエハの裏面側のシリコン基板を絶縁体膜が露出するまで除去する。次に図3(c)のように絶縁体膜の任意の場所にコンタクトホールを開口し、電極部30あるいは配線層を形成する。これを電極形成面からみると、図3(d)の

ようにウエハ上の任意の場所に電極を形成でき、電極および配線層形成の自由度が大幅に向上する。本実施例ではBウエハとしてバルクシリコンを用いたが、これがSOI基板でもなんの問題も生じない。逆にBウエハをSOI基板にすることで、配線の自由度をさらに上げることも可能である。また以上の説明では、ウエハスケールでの実施例を説明したが、これはチップレベルで2枚を張り合わせたものについても適用できることは言うまでもない。

フロントページの続き

(51)Int. Cl.⁵
H01L 27/12

識別記号 庁内整理番号
Z

F I

技術表示箇所